

中華民國專利公報 [19] [12]

[11]公告編號：395040

[44]中華民國 89年(2000) 06月21日
發明

全 3 頁

[51] Int.Cl 06: H01L23/522

[54]名稱：整合鎢插塞與銅金屬內連線的金屬化製程

[21]申請案號：087120352 [22]申請日期：中華民國 87年(1998) 12月08日

[72]發明人：

劉重希 新竹市自由路一〇一號八樓之五

[71]申請人：

台灣積體電路製造股份有限公司 新竹科學工業園區新竹縣園區三路一二一號

[74]代理人：洪澄文先生

1

2

[57]申請專利範圍：

- 1.一種整合鎢插塞與銅金屬內連線的金屬化製程，包括下列步驟：
 - (a)提供一覆蓋有介電層之半導體基底；
 - (b)於該介電層中形成包含內連線溝槽和接觸窗的雙層嵌入式結構，露出部分該半導體基底的表面；
 - (c)以選擇性鎢沈積法於該接觸窗中形成一鎢插塞；
 - (d)形成一阻障層於該內連線溝槽和該鎢插塞上；以及
 - (e)形成一銅金屬屬於該阻障層上，並填滿該內連線溝槽。
- 2.如申請專利範圍第1項所述之金屬化製程，其中該接觸窗所露出的基底上形成有金屬矽化物。
- 3.如申請專利範圍第1項所述之金屬化製程，其中該阻障層的材質係擇自下列所組成之群組：氮化鈦(TiN)，鉭(Ta)，氮化鉭(TaN)，以及氮化鎢(WN)。
- 4.如申請專利範圍第1項所述之金屬化製

程，其中該銅金屬層係以電鍍法，物理氣相沈積法，或有機金屬化學氣相沈積法(MO-CVD)所形成。

- 5.一種整合鎢插塞與銅金屬內連線的金屬化製程，包括下列步驟：
 - (a)提供一覆蓋有介電層之半導體基底；
 - (b)於該介電層中形成包含內連線溝槽和接觸窗的雙層嵌入式結構，露出部分該半導體基底的表面；
 - (c)以選擇性鎢沈積法於該接觸窗中形成一鎢插塞；
 - (d)形成一阻障層，覆於該介電層、該內連線溝槽和該鎢插塞上；
 - (e)於該阻障層上形成一銅金屬層，並填滿該內連線溝槽；以及
 - (f)去除該介電層上之銅金屬層與阻障層而得到一平坦的表面。
- 6.如申請專利範圍第5項所述之金屬化製程，其中該接觸窗所露出的基底上形成有金屬矽化物。

7.如申請專利範圍第5項所述之金屬化製程，其中該阻障層的材質係擇自下列所組成之群組：氮化鈦(TiN)，鉭(Ta)，氮化鉭(TaN)，以及氮化鎢(WN)。

8.如申請專利範圍第5項所述之金屬化製程，其中該銅金屬層係以電鍍法，物理氣相沈積法，或有機金屬化學氣相沈積法(MO-CVD)所形成。

9.如申請專利範圍第5項所述之金屬化製程，其中步驟(f)係以化學機械研磨法去除該介電層上之銅金屬層與阻障層。

10.一種整合鎢插塞與銅金屬內連線的金屬化製程，包括下列步驟：
 (a)提供一覆蓋有介電層之半導體基底；
 (b)於該介電層中形成包含內連線溝槽和接觸窗的雙層嵌入式結構，露出部分該半導體基底的表面；
 (c)以選擇性鎢沈積法於該接觸窗中形成一鎢插塞；
 (d)形成一阻障層，覆於該介電層、該內連線溝槽和該鎢插塞上；
 (e)形成一銅晶種層於該阻障層上；

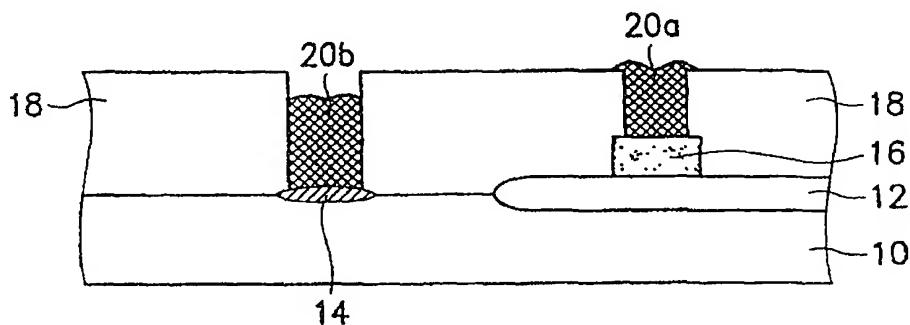
(f)以電鍍程序於該晶種層上形成一銅金屬層，並填滿該內連線溝槽；以及
 (g)去除該介電層上之銅金屬層、晶種層及阻障層而得到一平坦的表面。

5. 11.如申請專利範圍第10項所述之金屬化製程，其中該接觸窗所露出的基底上形成有金屬矽化物。

12.如申請專利範圍第10項所述之金屬化製程，其中該阻障層的材質係擇自下列所組成之群組：氮化鈦(TiN)，鉭(Ta)，氮化鉭(TaN)，以及氮化鎢(WN)。

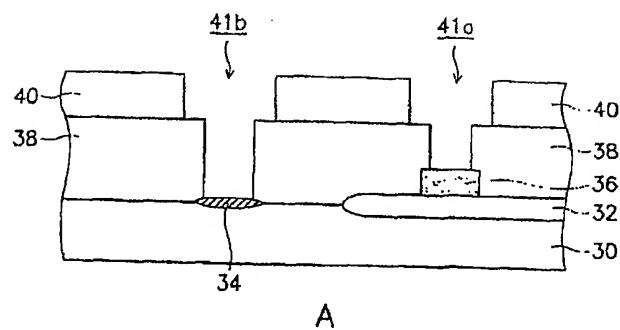
10. 13.如申請專利範圍第10項所述之金屬化製程，其中步驟(g)係以化學機械研磨法去除該介電層上之銅金屬層、晶種層及阻障層。

15. 20. 圖式簡單說明：
 第一圖為剖面示意圖，用以說明習知利用選擇性鎢沈積在接觸窗中形成鎢插塞的剖面示意圖。
 第二圖A～第二圖D為一系列剖面圖，用以說明本發明一較佳實施例製作鎢插塞與銅金屬內連線的流程。

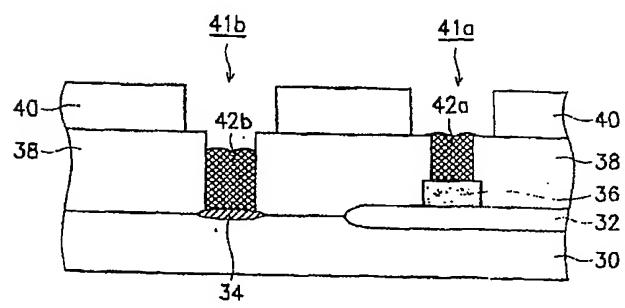


第一圖

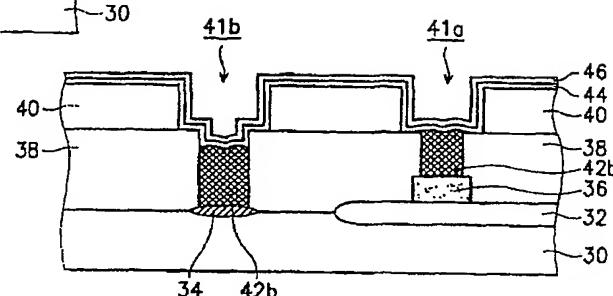
(3)



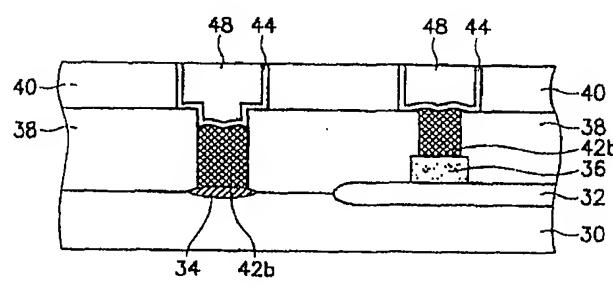
A



B



C



D

第二圖

